

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Docket No.: 58799-042

#6
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Kouichirou NISHIMURA, et al.

Serial No.:

Group Art Unit:

Filed: March 21, 2001

Examiner:

For: ADAPTIVE EQUALIZER CIRCUIT

1017 U.S. PTO
09/812694
03/21/01

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority
of:

Japanese Patent Application No. 2000-143398,
Filed May 11, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:ykg
Date: March 21, 2001
Facsimile: (202) 756-8087

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

58799-042

March 21, 2001

NISHIMURA, ET AL.

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

J1017 U.S. PTO
09/812694
03/21/01

出 願 年 月 日
Date of Application:

2000年 5月11日

出 願 番 号
Application Number:

特願2000-143398

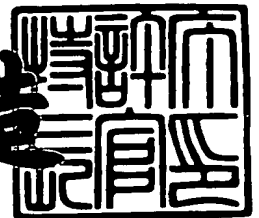
出 願 人
Applicant (s):

株式会社日立製作所

2001年 2月 2日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3003073

【書類名】 特許願

【整理番号】 D00003471A

【提出日】 平成12年 5月11日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 3/06

【発明の名称】 適応等化回路

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所デジタルメディア開発本部内

【氏名】 西村 孝一郎

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所デジタルメディア開発本部内

【氏名】 廣瀬 幸一

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特 2 0 0 0 - 1 4 3 3 9 8

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 適応等化回路

【特許請求の範囲】

【請求項 1】

伝送路を経て入力された信号に対して所定の等化特性を付加し、得られる出力と所定の基準値から演算して得られる等化誤差を最小にするように制御して等化特性を得る適応等化回路において、

該適応等化回路の演算動作が前記信号の基準クロック信号に対して $1/2$ クロック周期位相の異なる信号に同期して行われ、該適応等化回路の出力の符号が正から負、または負から正に変化した後の最初の出力値と、前記所定の基準値とから等化誤差を算出して等化特性を変更する構成を有することを特徴とする適応等化回路。

【請求項 2】

請求項 1 記載の適応等化回路において、
前記等化特性を変更する構成は、前記適応等化回路出力の符号が正から負に変化した後の最初の出力値と第 1 の基準値から該適応等化回路の等化特性を変更し、かつ該適応等化回路出力の符号が負から正に変化した後の最初の出力値と第 2 の基準値から該適応等化回路の等化特性を変更する構成とすることを特徴とする適応等化回路。

【請求項 3】

請求項 2 記載の適応等化回路の等化特性の変更動作に加えて、
該適応等化回路出力の符号が正から負に変化する直前の出力値と第 2 の基準値から該適応等化回路の等化特性を変更し、かつ該適応等化回路出力の符号が負から正に変化する直前の出力値と第 1 の基準値から該適応等化回路の等化特性を変更する構成を有することを特徴とする適応等化回路。

【請求項 4】

請求項 1 記載の適応等化回路において、
前記等化特性を変更する構成は、該適応等化回路出力の符号が正から負、または負から正に変化した後の最初の出力値と第 1 の基準値から該適応等化回路の等化

特性を変更し、かつ該適応等化回路出力の符号が正から負、または負から正に変化する直前の出力値と第 2 の基準値から該適応等化回路の等化特性を変更する構成とすることを特徴とする適応等化回路。

【請求項 5】

請求項 2 乃至 4 記載の適応等化回路において、
前記第 2 の基準値は前記第 1 の基準値の符号を反転させた値とすることを特徴とする適応等化回路。

【請求項 6】

請求項 1 乃至 5 記載の適応等化回路において、
該適応等化回路は入力信号に同期した基準クロック信号に対して $1/2$ クロック周期位相の異なる信号で入力信号をサンプリングして動作し、該適応等化回路の出力値により該適応等化回路の等化特性を変更することを特徴する適応等化回路。

【請求項 7】

請求項 1 乃至 5 記載の適応等化回路において、
該適応等化回路は入力信号に同期した基準クロック信号で入力信号をサンプリングして動作し、該基準クロック信号に対して $1/2$ クロック周期位相の異なる信号に同期した該適応等化回路の出力値を補間により算出し、該算出値を用いて該適応等化回路の等化特性を変更することを特徴とする適応等化回路。

【請求項 8】

請求項 1 乃至 7 記載の適応等化回路において、
前記適応等化回路の出力を 2 値化する際のしきい値に連動して前記基準値が変化することを特徴とする適応等化回路。

【請求項 9】

請求項 1 乃至 8 記載の適応等化回路において、
前記適応等化回路に入力される信号が、記録媒体から光学的に読み取られる信号であることを特徴とする適応等化回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、記録媒体に対して光学的に情報を記録、および再生する光学的情報記録、再生装置の波形等化回路に関するものである。

【0002】

【従来の技術】

光ディスクの記録、再生系では、光ピックアップにおいてレーザー波長、およびレンズの開口率により決まる光学伝送特性(OTF)を持つ。このOTFは一種の低域通過フィルタの特性を持つ。そのため、光ディスクの記録容量を増加させるために光ディスク上に記録されるデータの記録密度を高くすると伝送帯域が不足し、隣接するマークを再生する場合にそれぞれの再生波形が干渉を起こす符号間干渉が発生する。この符号間干渉を低減させる手法として、再生信号の高域成分を強調する波形等化回路が用いられる。しかし光学伝送特性はディスクとピックアップとの関係により変化するため、等化特性が固定である場合はディスクのチルト等の要因により符号間干渉が発生して再生信号が劣化する。また、ディスクの再生速度により光学伝送特性の帯域が変化するため、CAV等の可変速再生においてはディスクの再生速度に追従して等化特性を変化させることが必要になる。このような問題を解決するために、適応等化回路による波形等化の手法が用いられる。適応等化回路は、入力信号系における伝達特性の変化に応じて等化特性を変化させ、出力信号系に適切な信号を伝送する。

【0003】

適応等化回路の従来例を図2に示す。図示しない光ディスクから読み取られた読み取り信号200をサンプルホールド回路205によりサンプリングして得られるサンプル値入力201は、 n 個の縦続接続された単位遅延素子 $D1 \sim Dn$ からなる系に入力される。単位遅延素子 $D1 \sim Dn$ は前記サンプル値のサンプリング周期に等しい時間遅延を持ち、1つの単位遅延素子の出力は1サンプリング前の入力となる。信号201および各単位遅延素子から出力されるサンプル値は、乗算回路 $M0 \sim Mn$ において係数制御回路 $C0 \sim Cn$ で算出される係数との積が計算され、加算回路203に入力さ

れる。加算回路203からの出力は、適応等化回路の出力値202として出力されると同時に、減算回路204に入力される。減算回路204では、出力値 V_o と任意に与えられる基準値との差を適応誤差値として出力する。この基準値は、本適応等化回路の等化特性が目標とする伝達特性となるように設定される。この設定方法については、後に詳述する。減算回路204で得られた誤差値は、 $C_0 \sim C_n$ の係数制御回路に入力される。係数制御回路は乗算回路と積分回路から構成される。例えば係数制御回路 C_0 では、入力サンプル値201と前記誤差値との積を乗算回路 L_0 で計算し、得られた値を積分回路 S_0 により平均化して係数として乗算回路 M_0 に出力する。

【 0 0 0 4 】

このように、適応等化回路はFIR (Finite Impulse Response) フィルタの係数を逐次更新していくことにより、等化特性を目標とする伝送特性とする。

【 0 0 0 5 】

次に、上記基準値について説明する。適応等化回路の入力として、例えば図3に示すような信号を考える。この波形において、301で示すゼロクロス近傍のサンプル値は、伝送特性が適正に等化されている場合は0となる。よって、適応等化回路の出力 V_o がゼロクロス点近傍のサンプルを抽出し、基準値を0として前記 V_o と基準値との差を算出し、その値を等化誤差として係数制御回路に入力することにより、図3に示す入力波形に対して適正な等化係数を得ることができる。また、基準値の設定の他の手法として、図4に示すようにしきい値 $+V_{th}$ および $-V_{th}$ を設定して適応等化回路の出力 V_o としきい値との大小比較を行い、その結果により基準値を変更する。

【 0 0 0 6 】

例えば図4の例の場合、 $V_o < -V_{th}$ の場合は基準値を -1 に、 $-V_{th} < V_o < V_{th}$ の場合は基準値を0に、 $V_{th} < V_o$ の場合は基準値を1に設定する。

【 0 0 0 7 】

これにより適応等化回路の全出力値において係数更新が可能になり、出力のゼロクロス近傍値の抽出の必要がなくなる。

【 0 0 0 8 】

これらの基準値の設定および適応等化回路の動作については、特開平09-32

1 6 7 1 に詳述されている。

【 0 0 0 9 】

【 発明が解決しようとする課題 】

従来例で示した適応等化回路の基準値設定の方法を、光ディスク再生に適用した場合を考える。

記録可能な光ディスクである DVD-RAM ディスクでは、PID (Physical Identification Data) 領域と呼ばれる領域にあらかじめアドレス情報が記録されている。

【 0 0 1 0 】

PID 領域はディスクに不連続に存在するため、基準クロックとの同期をとるために VFO (Variable Frequency Oscillator) 区間と呼ばれる単一周波数の信号が記録された領域が存在する。この VFO 区間で再生された波形についてゼロクロス近傍の出力値のみを用いて係数更新を行う場合、図 5 に示すようにデータサンプリング周期に同期して波形振幅が異なる波形について、ゼロクロス部分 501~505 でサンプリングされるデータから算出される等化誤差はすべてゼロとなる。しかしゼロクロス点以外ではなんら制御を受けないため、前記特性を満足する波形は図 5 に示すように無数に存在する。このことは等化特性の収束点が無数に存在することを示しており、適応等化回路の特性が不安定になる。

【 0 0 1 1 】

また、光ディスクでは光学特性を利用してトラッキングサーボおよび回転サーボをかける。そのため CD では 8 ビットデータを 14 ビットデータに変換し、1 ビットを基準クロック周期 $1Tw$ としたときに $3 \sim 11Tw$ の繰り返しデータとなるように変調する。同様に DVD では 8 ビットデータを 16 ビットデータに変換し、1 ビットを基準クロック周期 $1Tw$ としたときに $3 \sim 14Tw$ の繰り返しデータとなるように変調する。この変調により、0 および 1 の同一ビットの長い連続を避けることができ、安定したトラッキングサーボおよび回転サーボをかけることができる。しかしその反面、信号の帯域が広くなり、とくに DVD では光学伝送特性の上限付近まで使用することになる。

【 0 0 1 2 】

D V D 1 倍速再生時における、開口率0.6、レーザー波長650nmでの光学伝送特性を図6に示す。D V D 1 倍速再生の場合、最も周波数の高い3 T w 信号の繰り返し周波数は4.36MHzであり、最も周波数の低い1 4 T w 信号（周波数0.96MHz）に対して、振幅が約30%程度となる。図7にD V D 再生時のアイパターンを示す。

【 0 0 1 3 】

このような波形に対して破線で示す基準クロック周期でサンプリングした全サンプル値で適応等化回路の係数更新を行う場合、1 4 T w 信号を基準としてしきい値 V_{th} および基準値を設定すると3 T w 信号に対する等化誤差が大きくなり、過等化による群遅延特性の乱れ、および適応等化回路の係数収束性能の悪化につながる。

【 0 0 1 4 】

これに対して V_{th} および基準値の正負の組みを複数用意することが考えられるが、信号周期は予測することが不可能であるため、適応等化出力の値をメモリ等の記憶手段を用いて保持し、信号周期を計測しながら基準値を設定することが必要となり、係数更新のタイミングおよびメモリ等の記憶手段の管理のための煩雑な処理が必要となる。

【 0 0 1 5 】

【課題を解決するための手段】

上記問題を解決するために、本発明の適応等化回路は、演算動作が前記信号の基準クロック信号に対して1 / 2 クロック周期位相の異なる信号に同期して行われ、該適応等化回路の出力の符号が正から負、または負から正に変化した後の最初の出力値と、前記所定の基準値とから等化誤差を算出して等化特性を変更する構成とする。

【 0 0 1 6 】

また、前記等化特性を変更する構成は、前記適応等化回路出力の符号が正から負に変化した後の最初の出力値と第1の基準値から等化特性を変更し、かつ該適応等化回路出力の符号が負から正に変化した後の最初の出力値と第2の基準値から等化特性を変更する構成とする。

【 0 0 1 7 】

さらに、前記適応等化回路の等化特性の変更動作に加えて、該適応等化回路出力の符号が正から負に変化する直前の出力値と第 2 の基準値から等化特性を変更し、かつ該適応等化回路出力の符号が負から正に変化する直前の出力値と第 1 の基準値から等化特性を変更する構成とする。

【 0 0 1 8 】

また、前記等化特性を変更する構成は、該適応等化回路出力の符号が正から負、または負から正に変化した後の最初の出力値と第 1 の基準値から等化特性を変更し、かつ該適応等化回路出力の符号が正から負、または負から正に変化する直前の出力値と第 2 の基準値から等化特性を変更する構成とする。

【 0 0 1 9 】

さらに、前記第 2 の基準値は前記第 1 の基準値の符号を反転させた値とする。

【 0 0 2 0 】

また、前記適応等化回路は、入力信号に同期した基準クロック信号に対して $1/2$ クロック周期位相の異なる信号で入力信号をサンプリングして動作し、該適応等化回路の出力値により等化特性を変更する構成とする。

【 0 0 2 1 】

さらに、前記適応等化回路は、入力信号に同期した基準クロック信号で入力信号をサンプリングして動作し、該基準クロック信号に対して $1/2$ クロック周期位相の異なる信号に同期した該適応等化回路の出力値を補間により算出し、該算出値を用いて等化特性を変更する構成とする。

【 0 0 2 2 】

また、前記適応等化回路の出力を 2 値化する際のしきい値に連動して前記基準値が変化するように構成する。

【 0 0 2 3 】

【発明の実施の形態】

図 1 に本発明の第 1 の実施例の適応等化回路ブロック図を示す。同図において、図 2 と同一の機能を持つブロックについては同一の符号を付してある。同図の回路動作において、従来例で示した図 2 の回路との異なる部分について以下に説

明する。図示しない光ディスクから再生され、DC成分を除去された信号200は、図2の従来例と同様サンプルホールド回路205に入力される。本サンプルホールド回路を含めた乗算、積分回路は、動作タイミング信号DCLKにより動作する。動作タイミング信号DCLKは、入力信号のゼロクロス点に同期するPLL回路101および同回路で得られるクロック信号の $1/2$ 周期の遅延量を持つD/2遅延素子102から生成される。サンプルホールド回路205から出力されたサンプル値は、1クロック周期の遅延量を持つ遅延素子D1~Dn、および乗算回路M0~Mnにより構成されるFIRフィルタに入力される。なお、乗算、積分、および加減算を行う各回路での回路遅延はないものとする。

【0024】

同フィルタでの係数更新動作を以下に説明する。図1のスイッチ105は始めに黒丸側になっており、係数制御回路の乗算回路L0~Lnには等化誤差として0（ゼロ）が入力される。この場合は乗算回路L0~Lnの出力は0になり、積分回路S0~Snの出力値は変化しない。よって係数値C0s~Cnsは変化しない。図8は前述のFIRフィルタからの出力データの一例を示す。図の破線は基準クロック周期を示す。本実施例での波形等化回路では前記動作タイミング信号DCLKによりサンプリングして出力を算出するため、FIRフィルタからは基準クロックに対して $1/2$ 周期遅延して得られる図の白丸の位置のデータ系列が出力される。このデータ系列はゼロクロス符号判定回路103に入力される。ゼロクロス符号判定回路103では、データ系列のうちで負から正に変化した後の最初のデータを検出し、これを係数更新サンプルとする。図8ではデータ801および802が係数更新サンプルとなる。係数更新サンプルが検出されると、制御信号104sによりスイッチ105が白丸側になり、係数更新サンプルと基準値Vrefから計算される等化誤差が係数制御回路の乗算回路L0~Lnに入力される。これにより積分回路S0~Snの出力が変化し、係数C0s~Cnsが更新される。係数更新サンプルが検出されない場合は、スイッチ105を黒丸側に接続することにより係数C0s~C0nの更新を行わないようにする。

【0025】

本構成では図8に示すように信号周期によって信号振幅が変化した場合においても、ゼロクロスから $1/2$ クロック周期後の振幅にはほとんど差が見られない

ため、等化誤差を計算する基準値 V_{ref} を一定の値とすることができ、振幅変動のある入力信号に対しても安定した適応等化を行うことができる。また、信号のゼロクロスデータによる係数更新ではないので、図4に示すような単一周波数信号に対しても安定した適応等化を行うことが可能になる。

【 0 0 2 6 】

図9に本発明の第2の実施例の適応等化回路ブロック図を示す。同図において図1と同様の機能を持つブロックについては同様の符号を付してあり、説明を省略する。

【 0 0 2 7 】

本実施例の適応等化回路における係数更新動作について、図10を用いて以下に説明する。図10は図9の適応等化回路の出力202で得られるデータ系列を示す。出力202では、実施例1と同様の基準クロックに対して $1/2$ 周期遅延して得られる図10の白丸のデータ系列が得られる。得られたデータ系列は、実施例1と同様にゼロクロス符号判定回路103に入力される。ゼロクロス符号判定回路では、データ系列の中でゼロクロス後の最初のデータが係数更新サンプルとして抽出される。図10では1001～1004のデータが係数更新サンプルとなる。抽出された各データは符号判定が行われ、データの符号が正であるときは正の第1の基準値($V_{ref1} > 0$)を選択し、データの符号が負であるときは負の第2の基準値($V_{ref2} < 0$)を選択するように、制御信号107sによりスイッチ106が制御される。図9の場合では、データ1001、1003では第2の基準値 V_{ref2} が、データ1002、1004では第1の基準値 V_{ref1} が選択される。

【 0 0 2 8 】

本構成により、実施例1と同様の効果を得ると同時に、ゼロクロス後の最初のデータをすべて係数更新データとして使うことにより、係数の収束性能を向上させることができる。

【 0 0 2 9 】

図11に本発明の第3の実施例の適応等化回路のブロック図を示す。同図において図1および図9と同様の機能を持つブロックについては同様の符号を付してあり、説明を省略する。

本実施例の適応等化回路における係数更新動作について、以下に説明する。実施例 1 および 2 と同様にして出力 202 で得られるデータ系列は、ゼロクロス符号判定回路 103 に入力される。ゼロクロス符号判定回路 103 では実施例 2 と同様の係数更新サンプル抽出、および符号判定が行われる。符号判定の結果、制御信号 107s によりスイッチ 108 が制御される。スイッチ 108 は、符号判定の結果が正のときは白丸、つまり 1 を選択する。符号判定の結果が負の時は黒丸、つまり -1 を選択する。これにより、基準値を複数設けることなく実施例 2 と同様の効果を得ることができる。

【 0 0 3 0 】

図 1 2 に本発明の第 4 の実施例の適応等化回路のブロック図を示す。同図において図 9 と同様の機能を持つブロックについては同様の符号を付してあり、説明を省略する。図の $D(n+1)$ は、 $D_0 \sim D_n$ と同様の機能を持つ単位遅延素子である。

【 0 0 3 1 】

本適応等化回路における係数更新動作について、以下に説明する。第 2 の実施例と同様に、タイミング信号 DCLK でサンプリングされたデータより算出される FIR フィルタからの出力データ 202 は、ゼロクロス符号判定回路 103 に入力される。例として第 2 の実施例と同様に図 1 0 のデータ 901 がゼロクロス後の係数更新データとして抽出される時の動作を説明する。データ 901 が抽出されるとスイッチ 105 が白丸側に選択され、係数更新が行われる。このとき 901 の符号は負と判定されるが、等化誤差を算出する減算回路 204 には単位遅延回路 DCZ によりデータ 901 の 1 クロック周期前のデータ 904 が入力される。データ 904 の符号はデータ 901 の符号と逆であるので、基準値はデータ 901 とは逆の符号をもつ正の第 1 の基準値 (V_{ref1}) が選択される。この結果算出された等化誤差は、係数制御回路 $CE_0 \sim CE_n$ に入力される。このとき各係数制御回路 $CE_0 \sim CE_n$ では、データ 904 を算出した入力サンプルデータと前記等化誤差より係数を更新することが必要である。そのため、係数 CS_0 の演算には入力データを 1 クロック周期遅延させたデータ DD_0 を用いる。これはデータ 904 算出時の入力データと等しい。係数 CS_1 の演算には、入力データを 2 クロック周期遅延させたデータ DD_1 を用いる。これはデータ 904 算出時の入力データを 1 クロック周期遅延させたデータと等しい。同様に係数 CS_n 演算に

は、入力データを $(n+1)$ クロック周期遅延させたデータ $DD(n+1)$ を用いる。これにより、係数 CS_n はデータ904算出時の n クロック周期遅延データと前述の等化誤差から算出されることになり、データ904による適正な係数更新演算を行うことができる。次に、1クロック周期後になると減算回路204にはデータ901が入力される。これに同期して制御信号107sによりスイッチ106をデータ901の符号と同じ負の第2の基準値(V_{ref2})側に切り替える。このときスイッチ105は白丸側のままで、データ901による係数更新を行う。データ901と第2の基準値により算出された等化誤差は、係数制御回路 $CE_0 \sim CE_n$ に入力される。このとき各係数制御回路 $CE_0 \sim CE_n$ に入力される入力サンプルデータ $DD_0 \sim DD_n$ はそれぞれデータ904を算出したときから1クロック周期遅延したデータとなっており、これはデータ901を算出したデータに等しい。よってデータ901を用いた適正な係数更新を行うことができる。

【0032】

以上の構成により、実施例2および3に対して単位遅延素子1つの素子増加はあるがゼロクロス前後のデータを用いて係数更新を行うことができ、ゼロクロス後のデータのみで係数更新を行う実施例1～3に対して同様の効果を得ながら、さらに係数収束性能を向上させることができる。

【0033】

なお、本実施例では第2の基準値を用いた適応等化回路を示したが、第3の実施例に示したように基準値の符号を制御する構成を用いてもよい。

【0034】

図13に第5の実施例の回路ブロック図を示す。同図において図11と同様の機能を持つブロックについては同様の符号を付してあり、説明を省略する。図の1301は出力201で得られるデータ系列を2値化する2値化回路である。同回路で2値化する際のしきい値 V_{slth} は信号1302sとして加算回路1303に出力される。しきい値は選択後の第1の基準値 V_{ref1} または第2の基準値 V_{ref2} に加算される。これにより、適応等化回路の入力信号のシンメトリのずれに対して、図10の第1の基準値 V_{ref1} および第2の基準値 V_{ref2} を追従させることができ、等化特性を安定させることができる。

【 0 0 3 5 】

なお、本実施例では第 2 の基準値を用いた適応等化回路を示したが、第 3 の実施例に示したように基準値の符号を制御する構成を用いてもよい。

【 0 0 3 6 】

図 1 4 は等化回路出力信号のアイパターンのうち、振幅が最小のものと最大のもののみを抜き出した図である。例えば図をDVD-ROMディスクの再生信号とすると、1 4 0 1 は 3 T 周期信号、1 4 0 2 は 1 4 T 周期信号となる。この波形に対してゼロクロス後 T1 のタイミングで等化回路の係数更新を行う場合、同タイミングでの振幅は波形 1 4 0 1 では a1、波形 1 4 0 2 では a2 となり、この各振幅と基準値 Vref との差により係数更新を行う。基準値 Vref が適切に設定されているとすると、振幅比

$$b = (a2 - a1) / a2$$

が大きければ等化回路の係数更新を行う際の基準値との差が大きくなり、b が小さければ基準値との差が小さくなる。振幅比 b の許容値は、等化回路の係数更新をおこなうループのゲインおよび等化波形のジッタ等から算出される等化誤差の許容値から決まる。

【 0 0 3 7 】

よって、第 1 の実施例では係数更新のタイミング T1 を 1 / 2 クロック周期としているが、上記の振幅比 b の許容値の範囲で T1 を任意に選択してもよい。また、図 1 4 ではゼロクロス後のタイミングのみで係数更新を行う例を示したが、第 2 ～ 5 の実施例のようにゼロクロス前後のタイミングで係数更新を行う手法においても、同様に振幅比 b を定義することができ、この振幅比 b の許容値の範囲で係数更新を行うタイミングを任意に選択してもよい。このときゼロクロス前後の等間隔のタイミングで係数更新を行うことで、第 3 の実施例と同様の効果を得ることができる。

【 0 0 3 8 】

また、本発明による等化特性の更新手段は、上記実施例だけに限定されるものではない。さらに、上記に示した実施例では各回路素子がタイミング信号 DCLK により動作するデジタル回路動作で説明したが、等化回路をアナログ回路で構成し

、等化誤差算出の減算回路および係数制御回路の入力に、上記実施例で用いたタイミング信号DCLKにより動作するサンプルホールド回路を設けた構成としてもよい。

【 0 0 3 9 】

【発明の効果】

本発明での適応等化回路では、伝送系から得られる入力信号の基準クロック信号に対してゼロクロスの1/2クロック周期後、またはゼロクロスの前後1/2クロック周期に同期して得られる適応等化回路出力と、任意に与える基準値とから算出される等化誤差を用いて適応等化回路の等化特性を更新することにより、振幅が変動する系において等化誤差を算出する基準値を振幅により切り替えることを必要とせず、安定した適応等化動作を実現することができる。また、前記基準値を等化回路後段の2値化回路のしきい値に連動させることにより、入力信号のシンメトリずれに対して安定した等化特性を実現できる。

【図面の簡単な説明】

【図 1】

本発明の第1の実施例を示す適応等化回路の回路ブロック図。

【図 2】

従来例の適応等化回路ブロック図。

【図 3】

伝送系から得られる波形の一例。

【図 4】

適応等化回路の入力波形の一例を示す図。

【図 5】

振幅の異なる単一周期の波形を示す図。

【図 6】

DVDディスクの光学伝送特性の一例を示す図。

【図 7】

DVDディスクの再生アイパターンを示す模式図。

【図 8】

本発明の第 1 の実施例での適応等化出力データ系列を示す図。

【図 9】

本発明の第 2 の実施例を示す適応等化回路の回路ブロック図。

【図 1 0】

本発明の第 2 の実施例での適応等化出力データ系列を示す図。

【図 1 1】

本発明の第 3 の実施例を示す適応等化回路の回路ブロック図。

【図 1 2】

本発明の第 4 の実施例を示す適応等化回路の回路ブロック図。

【図 1 3】

本発明の第 5 の実施例を示す適応等化回路の回路ブロック図。

【図 1 4】

等化回路出力のアイパターンの最小振幅と最大振幅の波形を示す図。

【符号の説明】

1 0 1 P L L 回路

1 0 2 1 / 2 クロック周期遅延回路

1 0 3 ゼロクロス符号判定回路

1 0 5、1 0 6、1 0 8 切り替えスイッチ

D 0 ~ D n、D n + 1、D C Z 単位クロック周期遅延回路

M 0 ~ M n、L 0 ~ L n 乗算回路

S 0 ~ S n 積分回路

2 0 3、1 3 0 2 加算回路

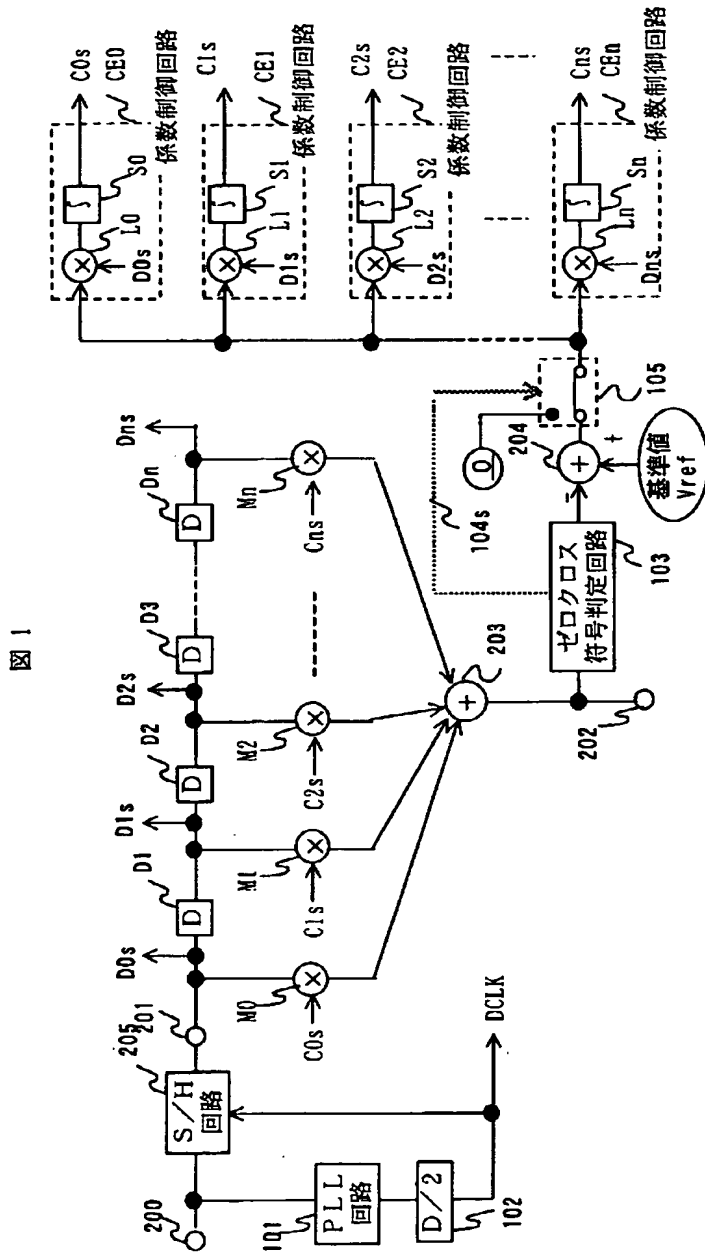
2 0 4 減算回路

2 0 5 サンプルホールド回路

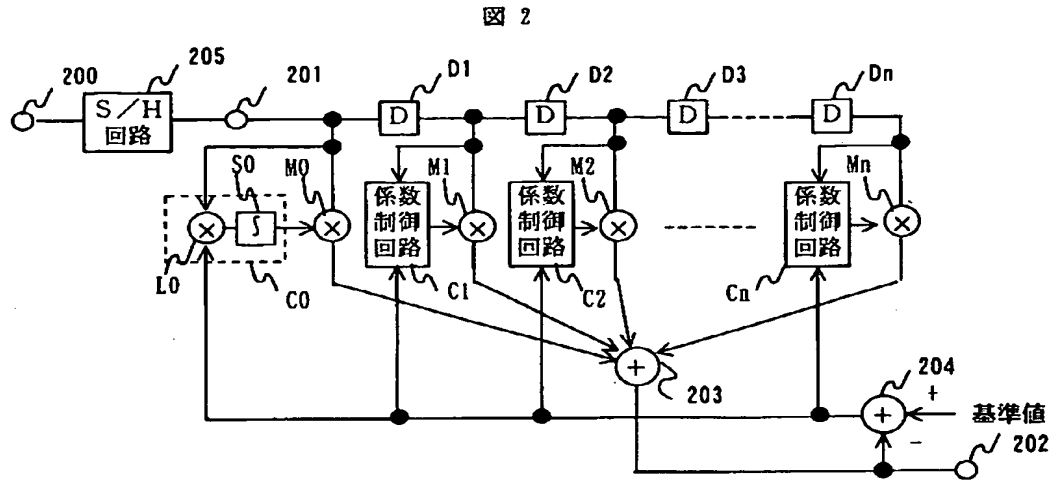
1 3 0 2 2 値化回路

【書類名】 図面

【図 1】

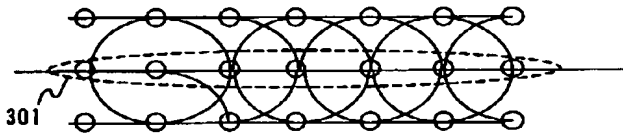


【図 2】

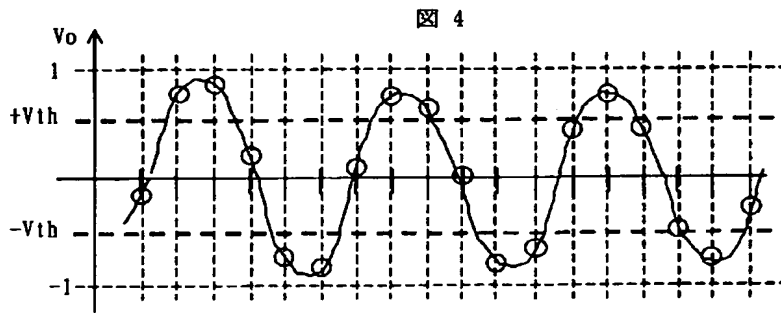


【図 3】

図 3

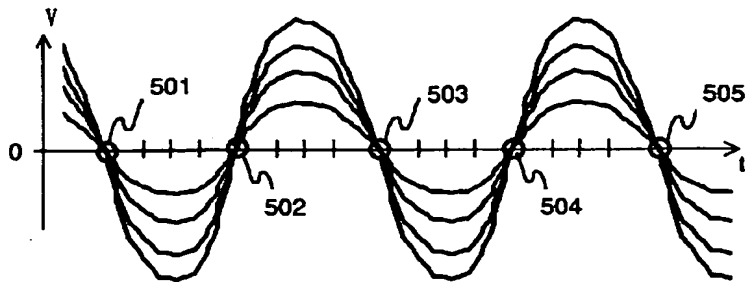


【図 4】



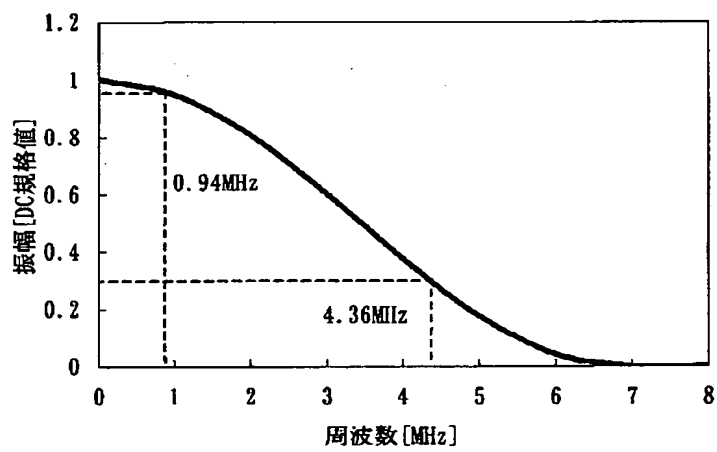
【図 5】

図 5



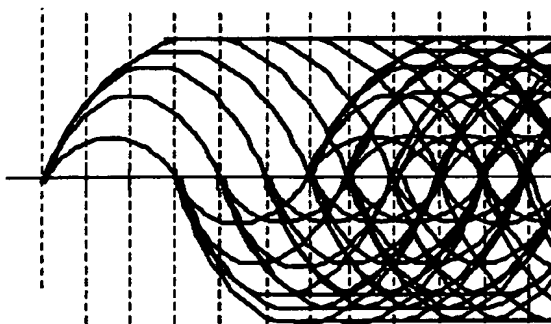
【図 6】

図 6

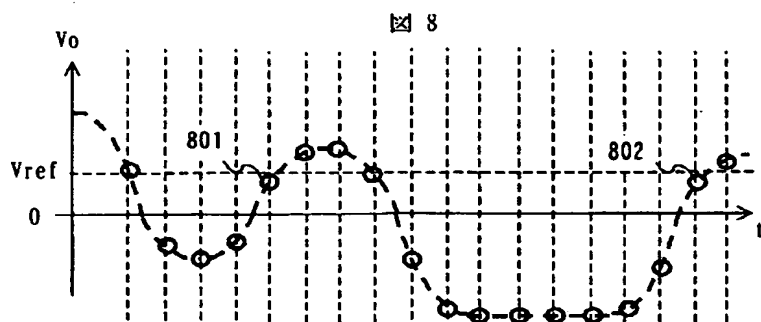


【図 7】

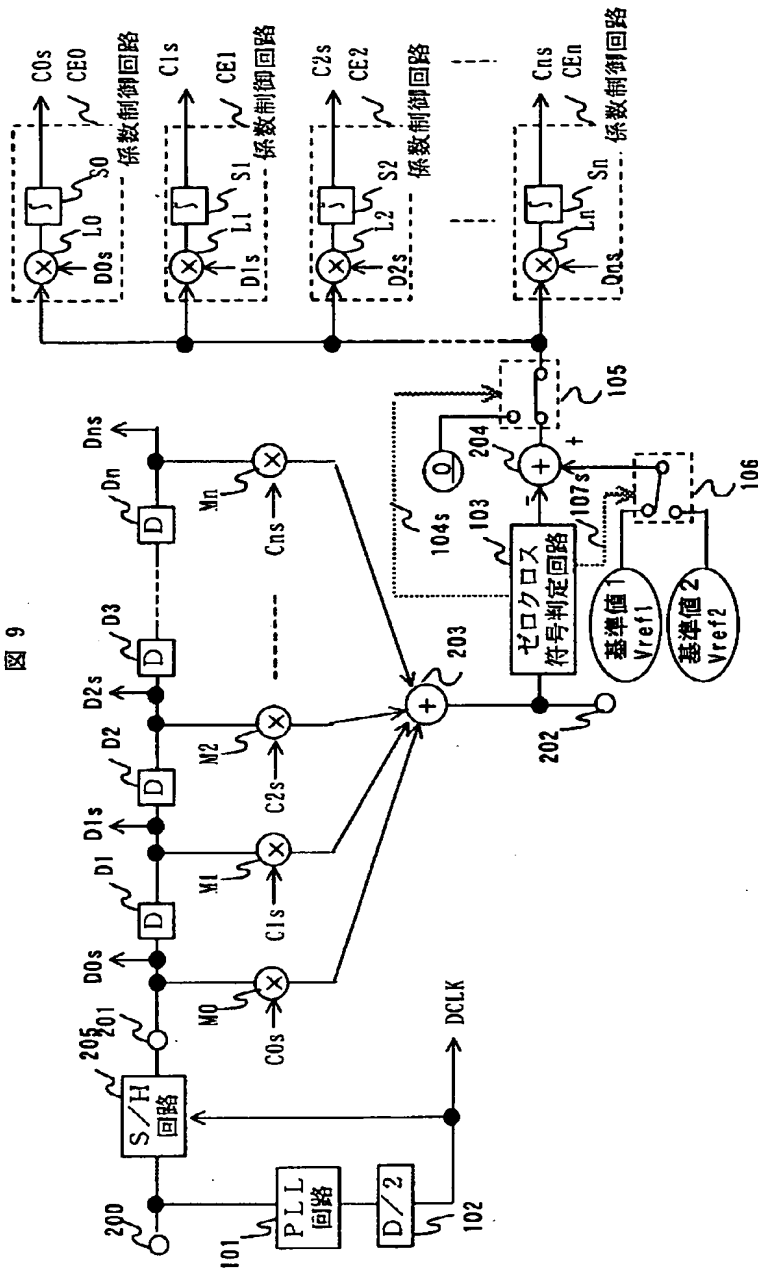
図 7



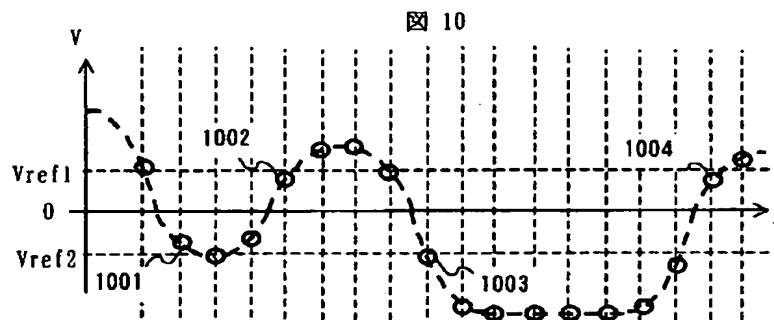
【図 8】



【図 9】



【図 1 0】



【図11】

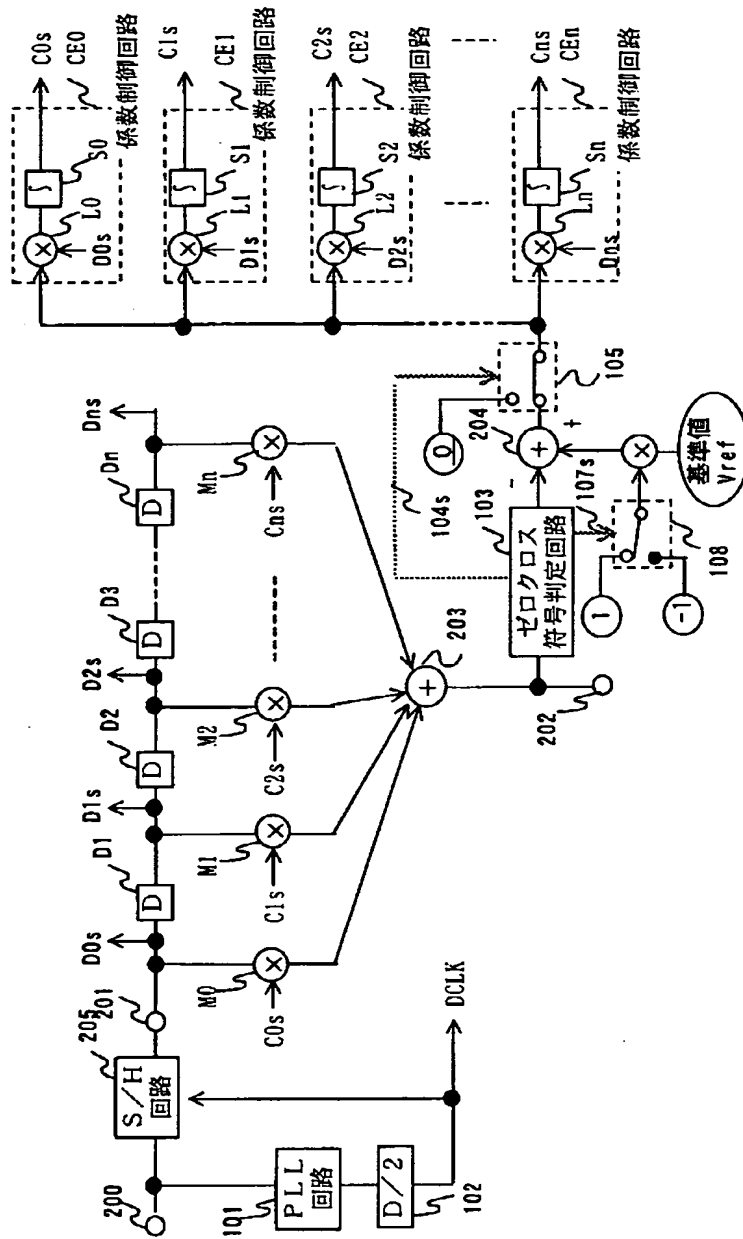
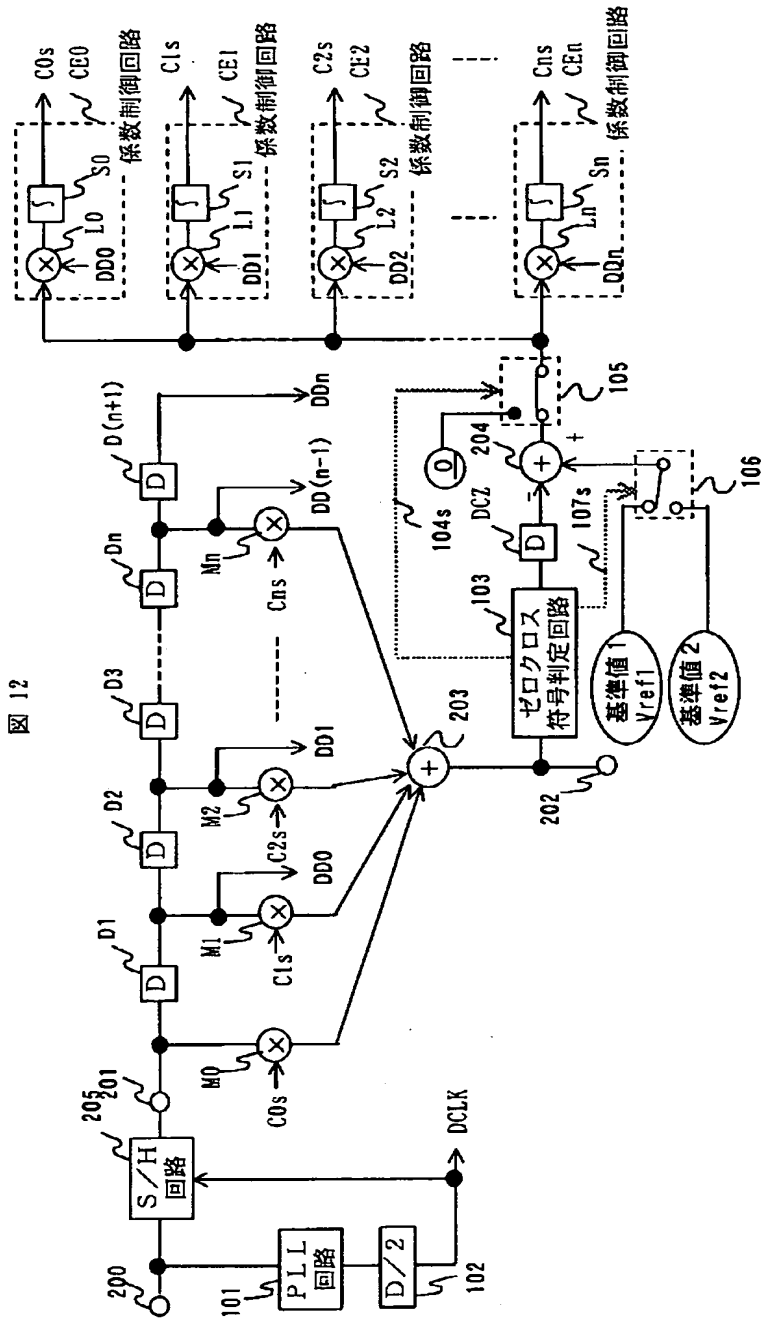
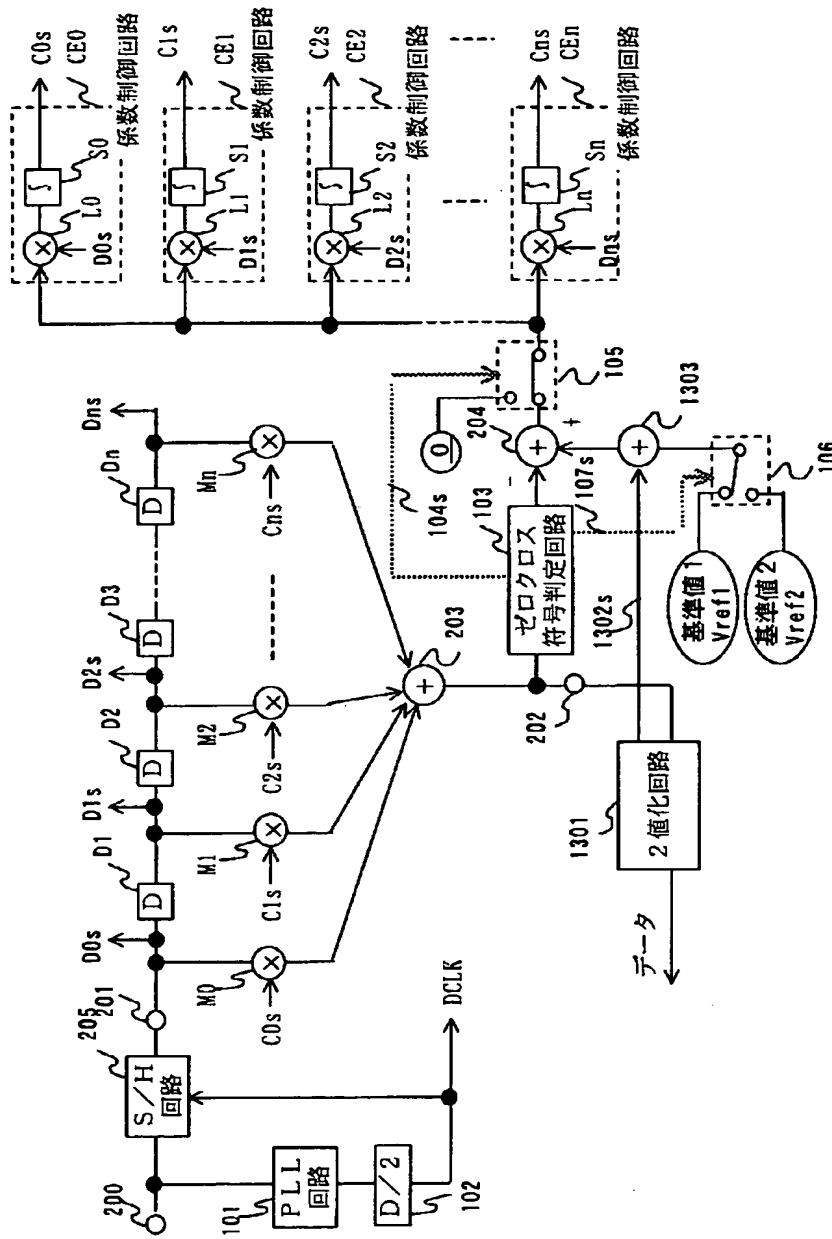


図 11

【図 12】

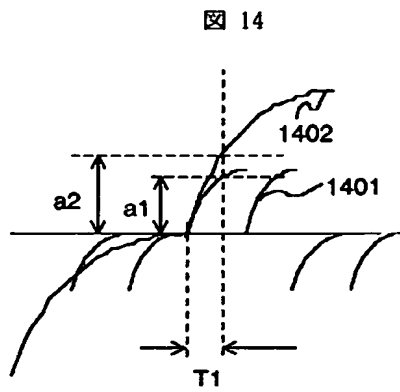


【図 13】



13

【図 1 4】



【書類名】 要約書

【要約】

【課題】

適応等化回路において、振幅が変動する入力に対して等化誤差を算出する基準値を変更することなく、安定した適応等化動作を実現する。

【解決手段】

入力信号の基準クロックと $1/2$ 周期位相のずれたタイミング信号で入力信号をサンプルホールドする。得られたサンプルデータから等化出力を算出し、ゼロクロス後の最初の出力値に対してのみ、任意に設定される基準値との差を計算して等化誤差とし、該等化誤差と前記サンプルデータから適応等化回路の係数を更新する。また、入力信号のシンメトリずれに対して、本適応等化回路の後段の2値化回路の2値化しきい値の変動に連動して、該適応等化回路の基準値を変化させる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所